

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-031464

(43)Date of publication of application : 01.02.1990

(51)Int.Cl.

H01L 29/784

(21)Application number : 63-182054

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 21.07.1988

(72)Inventor : KAWARASAKI SACHIKO
FUNAKOSHI YASUHIRO

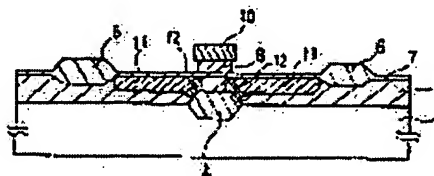
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make depletion layers hard to connect each other, to improve a transistor in strength and to obtain a semiconductor device which has the advantage of being micronized by a method wherein an insulating layer is formed at the position where a depletion layer extends from a source-drain region reaching to another depletion layer when the device is in operation.

CONSTITUTION: A polycrystalline silicon film 8, to be a gate electrode, is deposited after a field oxide film 6 has been formed on a single crystal silicon film 5. The polycrystalline silicon 3 is subjected to an anisotropic plasma etching through a resist 10 as a mask using a photoengraving technique to form a gate electrode 8. Next, a source-drain region 11 is formed by injecting impurity using the field oxide film 6 and the resist 10 as a mask. By these processes, even if depletion layers 12 extend from the source-drain regions when a transistor is in operation, the layers 12 reach to a silicon oxide film 4 and are prevented from connecting each other by the oxide film 4.

Therefore, the transistor is improved in breakdown strength and a semiconductor device, which is excellent in characteristic and has the advantage of being micronized, can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-31464

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月1日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 0 1 X

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-182054

⑯ 出 願 昭63(1988)7月21日

⑰ 発 明 者 河 原 崎 幸 子 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 発 明 者 舟 越 也 寿 宏 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(I) シリコン基板上に設けられたゲート電極を備えた半導体装置において、

トランジスタ動作時にソース・ドレインから伸びてくる空乏層がその層に届くような位置に絶縁層を形成していることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置に関し、特に拡散領域を有するトランジスタの構造に関するものである。

(従来の技術)

従来のこの種の半導体装置として、金属酸化膜半導体(MOS)集積回路装置を例に、その製造工程を第2図に示す。

第2図(a)に示すようにシリコン基板1の一主面上に下敷酸化膜7を形成した後、第2図(b)に示すように下敷酸化膜7上に窒化膜3を形成し、写真

製版技術を用いて、レジストをマスクに、窒化膜3をCF₄ガスにより異方性プラズマエッチングする。次に窒化膜3をマスクに熱酸化することにより、フィールド酸化膜6が約6000Å形成される。次に、第2図(c)に示すように、下敷酸化膜7からなるゲート酸化膜9上にゲート電極となる多結晶シリコン膜8を約3000Å堆積した後、写真製版技術を用いて、レジスト10をマスクに、多結晶シリコン膜8をCF₄ガスにより異方性プラズマエッチングして、ゲート電極8を形成する。次にフィールド酸化膜6及びレジスト10をマスクとして不純物を注入することによりソース・ドレイン領域11を形成する。

(発明が解決しようとする課題)

従来の半導体装置は以上のようにして製造されるので、トランジスタを動作させた際、シリコン基板内においてソース・ドレイン領域11から伸びてきた空乏層12がつながり耐圧不良を起こしやすい、という問題点があった。

この発明は上記のような問題点を解消するため

になされたもので、シリコン基板内のチャネル直下の領域にシリコン酸化膜を形成しておくことにより、トランジスタ動作時にソース・ドレイン領域からのびてくる空乏層が相互につながることを防ぎ、トランジスタの耐圧を向上させることのできる半導体装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体装置は、将来チャネル直下となる領域の、ソース・ドレインから伸びてくる空乏層がその膜に届くような位置にシリコン酸化膜を形成し、その上に単結晶シリコン膜を堆積したことを特徴とするものである。

(作用)

この発明における半導体装置では、トランジスタ動作時にシリコン基板内においてソース・ドレイン領域から伸びてくる空乏層は、チャネル領域の直下に絶縁層を設けたことによって相互につながることはなくなり、トランジスタの耐圧が向上する。

(実施例)

ル成長させる。次に第1図(c)に示すように、単結晶シリコン膜5上にフィールド酸化膜6を形成した後、ゲート電極となる多結晶シリコン膜8を約3000 Å堆積し、写真製版技術を用いてレジスト10をマスクに、多結晶シリコン膜8をCF₄ガスにより異方性プラズマエッチングし、ゲート電極8を形成する。次に、フィールド酸化膜6及びレジスト10をマスクとして不純物を注入することによりソース・ドレイン領域11を形成する。

このような本実施例では、トランジスタ動作時に空乏層12がソース・ドレイン領域11から伸びてきてもこれは絶縁物であるシリコン酸化膜4に届き、相互につながることはない。従って、トランジスタの耐圧が向上し、特性の良好な、かつ微細化にも有利な半導体装置が得られる。

(発明の効果)

以上のようにこの発明によれば、トランジスタ動作時にソース・ドレイン領域から伸びてくる空乏層がその層に届くような位置に絶縁層を形成するようにしたので、空乏層がつながりにくくなり

以下、この発明の一実施例を図について説明する。

第1図は本発明の一実施例による半導体装置の製造工程を示す断面図である。図において、1はシリコン基板、2は下敷酸化膜、3は窒化膜、4はシリコン酸化膜、5は単結晶シリコン膜、6はフィールド酸化膜、7はゲート下敷酸化膜、8はゲート電極、9はゲート酸化膜、10はレジスト、11は拡散領域、12は空乏層である。

次に製造工程について説明する。

第1図(a)に示すように、シリコン基板1の一主面上を熱酸化し下敷酸化膜2を約350 Å形成した後、下敷酸化膜2上に窒化膜3を堆積し、写真製版技術を用いて窒化膜3をCF₄ガスにより異方性プラズマエッチングする。次に第1図(b)に示すように、窒化膜3をマスクに下敷酸化膜2を熱酸化することによりシリコン酸化膜4を約3000 Å形成する。次に第1図(c)に示すように、約500 Å全面エッチングした後、第1図(d)に示すように、単結晶シリコン膜5をウエハ全面にエビタキシャ

トランジスタの耐性が向上する。したがって特性の良好な、かつ微細化にも有利な半導体装置を得ることができる効果がある。

4. 図面の簡単な説明

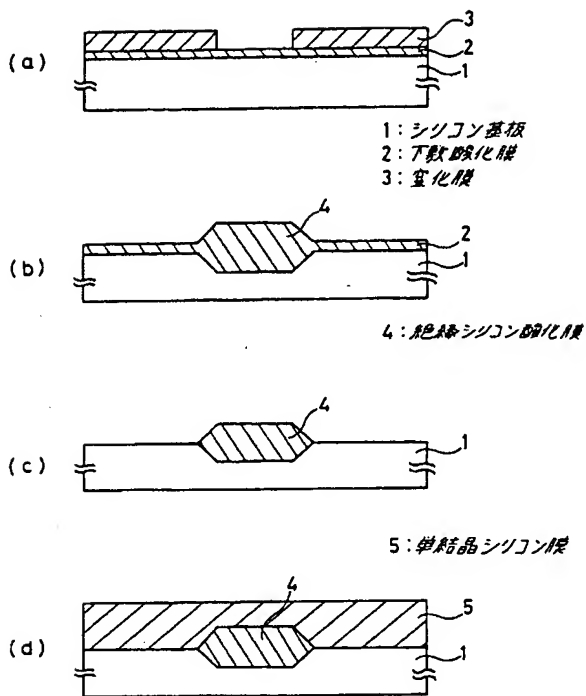
第1図は本発明の一実施例による半導体装置を製造する工程を示す断面図、第2図は従来の半導体装置の製造工程を示す断面図である。

図において、1はシリコン基板、2は下敷酸化膜、3は窒化膜、4は絶縁シリコン酸化膜、5は単結晶シリコン膜、6はフィールド酸化膜、7はゲート下敷酸化膜、8はゲート電極、9はゲート酸化膜、10はレジスト、11は拡散領域、12は空乏層である。

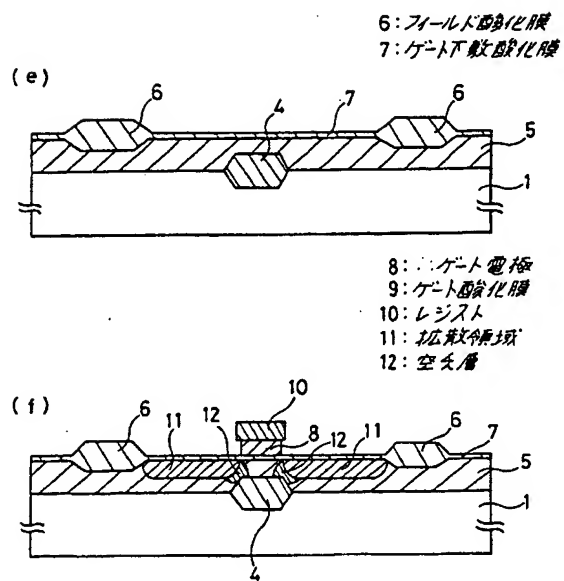
なお図中同一符号は同一または相当部分を示す。

代理人 早 瀬 憲 一

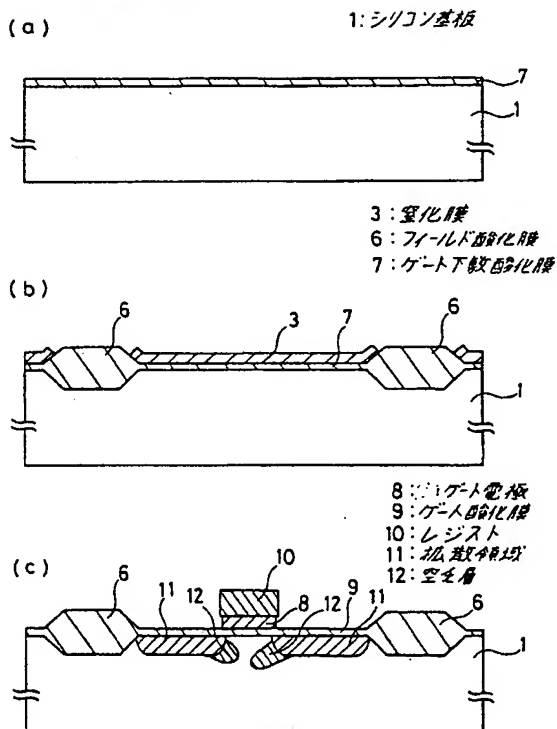
第 1 図



第 1 図



第 2 図



THIS PAGE BLANK (USPTO)